



CAHIER DES CHARGES

Cahier des charges pour un accord cadre mono-attributaire pour la conception et la réalisation d'environnements de test de circuits intégrés			
Date : 17/03/2026			Révision : V14
N de chrono. : DRT-LETI-DSYS-SSCE-LMTE-25-09-002061			V / Réf : V14.1
	Nom	Fonction	Date & Signature
Rédacteur(s) :	Antoine Viana	Chef du laboratoire LMTE	
Approbateur (s)	Pierre Vincent	Adjoint au chef de département DSYS	
Approbateur (s)	Fabien Clermidy	Chef de département DSYS	
Approbateur	Jean-Yves Castellan	Correspondant sécurité du LETI	
Liste de diffusion :	Isabelle Borel (DG/CEA-GRE/SMA/BLS)		

X Le présent cahier des charges ne contient aucune information de niveau « Diffusion Restreinte » ou « classifiées » ou relevant de la protection du potentiel scientifique et technique de la nation, ce qui permet la mise en ligne de ce document sur la plate-forme dématérialisée du CEA

☐ Le présent cahier des charges contient des informations Diffusion Restreinte (DR) ou relevant de la Protection du Potentiel Scientifique et Technique de la Nation de ce fait la mise en ligne sur la plateforme dématérialisée du CEA de ce document **est possible via un conteneur chiffré ZED !**

☐ Le présent cahier des charges contient des informations classifiées, de ce fait **la mise en ligne** sur la plate-forme dématérialisée du CEA de ce document **est strictement interdite.**

HISTORIQUE

Objet des modifications	Date	Version
Création	22/11/2025	V1
Modifications	13/01/2026	V2
Modifications	15/01/2026	V3
Modifications	04/02/2026	V5
Modifications	11/02/2026	V6
Modifications	13/02/2026	V7
Modifications	26/02/2026	V8
Ajout correspondant sécurité suite à possible présence sur site	17/03/2026	V10
Ajout evaluation de réalisation de test		V11
Ajout evaluation de réalisation de test		V14
Correction	7/04/2026	V15

RESUME

Ce document détaille les besoins de prestations de service dans le domaine du test électrique pour le laboratoire LMTE

MOTS-CLES

Test, Asic, design de carte, RF

Pour toutes demandes d'information, contacter :

1/ Informations commerciales :

Mme Isabelle Borel – Tél 04 38 78 13 36
CEA-GRENOBLE
Service des Marchés et Achats

2/ Informations techniques

Mr Antoine Viana – antoine.viana@cea.fr

CEA-GRENOBLE, MINATEC-Campus
LETI/DSYS/SSCE/LMTE
17, Rue des Martyrs
Bat 51C
38054 GRENOBLE CEDEX 09

TABLE DES MATIÈRES

1	Contexte	6
2	DISPOSITIF CONTRACTUEL	7
3	SPECIFICATIONS TECHNIQUES	8
4	LIVRABLES	9
5	COMPETENCES REQUISES	10
6	Typologie des profils demandés au sein de l'accord cadre	10
6.1	<i>Définition des profils</i>	<i>10</i>
6.2	<i>Typologie des profils</i>	<i>11</i>
7	CONDITIONS D'EXECUTION	11
7.1	<i>Mise à disposition de locaux et équipements</i>	<i>11</i>
7.2	<i>Mise à disposition de fichiers ou programmes informatiques</i>	<i>11</i>
7.3	<i>Suivi de l'avancement des prestations</i>	<i>11</i>
8	Annexe 1 : exemple de prestation demandée pour la réalisation d'une carte de test circuit SYNTH_V1	12
8.1	<i>Contexte</i>	<i>12</i>
8.2	<i>Objet</i>	<i>12</i>
8.3	<i>Mise en boîtier du circuit</i>	<i>13</i>
8.4	<i>Présentation du circuit</i>	<i>14</i>
8.5	<i>Implémentation du PCB</i>	<i>17</i>
8.6	<i>Implémentation et recommandations</i>	<i>18</i>
8.7	<i>Définition de la prestation</i>	<i>19</i>
8.8	<i>Matériel de test à prévoir</i>	<i>20</i>
8.9	<i>Connecteur 68-pin VHDCI de la carte NI PXI 6545</i>	<i>21</i>
8.10	<i>Boîtier QFN 24 broches</i>	<i>22</i>
8.11	<i>Support de boîtier QFN 32 broches Ironwood 24PQFN05</i>	<i>23</i>

9	Annexe 2 : exemple de prestation demandée pour la réalisation de tests pour le circuit WILSON	27
9.1	<i>Travaux à réaliser par le sous-traitant</i>	27
9.2	<i>Description du circuit à tester</i>	27
9.3	<i>Modes de fonctionnement</i>	29
9.4	<i>Mesures à effectuer</i>	30
9.5	<i>Annexe : configurations SPI</i>	37

1 Contexte

Dans le cadre de ses activités, le laboratoire LMTE prend en charge le test fonctionnel des Circuits Intégrés (CI dans ce document) issus des équipes de la plateforme de conception de CI du LETI. Ces circuits sont de domaines variés (numérique, analogique, radiofréquence)

Une fois le circuit intégré produit (au CEA ou en externe chez un fondeur), le laboratoire LMTE est sollicité pour valider les fonctionnalités du circuit. Le laboratoire est responsable de la définition puis de la mise en œuvre de l'environnement de test le plus adapté à la validation du composant, Cette validation du composant peut être réalisée de deux manières différentes, selon la nature et le besoin des équipes de conception.

La première consiste à tester le circuit intégré directement sur un prober à pointes, manuel, ou semi-automatique. Dans ce dernier cas, le test est réalisé sur un wafer.

La seconde méthode de test consiste à développer une carte électronique dédiée (analogique, numérique ou mixte).

Notre implication va alors du design de la carte, son routage (réalisé le plus souvent en interne pour prendre en compte les spécificités des applications) au suivi de sa réalisation par un sous-traitant. Nous réceptionnons alors la carte, la validons, puis passons à l'étape de validation des fonctionnalités du circuit au test en solidarissant ce dernier à cette carte dédiée (soudure, boîtier ou socket de test).

Nous pouvons alors prendre en charge la réalisation de tests sur la carte : cette étape n'est pas systématique, certains concepteurs de circuits préférant réaliser eux-mêmes les tests du circuit intégré.

Les domaines d'application concernent la RF, les interfaces capteurs, les imageurs et display, les mémoires, le calcul haute performance et accélérateur IA, l'électronique cryogénique (applications pour électronique quantique et spatiale) ...

Ce cahier des charges concerne des prestations de réalisation de cartes électroniques pour le test, et/ou pour la réalisation de tests d'un circuit intégré, sur la base d'une carte de test électronique développée par le prestataire, ou fournie par le CEA.

2 DISPOSITIF CONTRACTUEL

A l'issue de la procédure de consultation, le CEA envisage de retenir une société qui sera titulaire d'un accord cadre à marchés subséquents relatif au layout de circuits intégrés analogique et radio fréquence.

Pour chaque prestation à réaliser, le CEA adressera au titulaire une demande de réalisation de prestations comprenant un cahier des charges décrivant techniquement la prestation particulière à réaliser. Ces compléments techniques, qui ne peuvent être transmis lors de la consultation pour des raisons de confidentialité, ne modifieront pas le périmètre de la prestation et n'auront pas d'incidence sur le descriptif technique mentionné au paragraphe 3.

L'offre du titulaire prendra ainsi en compte l'ensemble des exigences inscrites dans le cahier des charges « accord-cadre » ainsi que celles inscrites dans le cahier des charges spécifique à un marché subséquent. Si un élément du cahier des charges spécifiques contredit ou précise un élément du cahier des charges « accord-cadre », alors le prestataire retiendra celui du cahier des charges spécifiques.

Le titulaire devra remettre dans un délai de 5 jours maximum sauf délai plus long mentionné par le CEA dans la consultation pour le marché subséquent si la nature de la prestation demandée le requiert. Une remise de délai supplémentaire peut être accordé par le CEA sur demande du titulaire et si cela ne s'oppose pas aux contraintes du CEA.

En cas de sollicitation du titulaire par courrier électronique, celui-ci devra remettre les éléments demandés dans un délai maximum de cinq (5) jours calendaires à compter de la réception de la demande, sauf délai différent expressément indiqué par le CEA lorsque la nature des prestations le justifie.

En cas de consultation réalisée via la plateforme PLACE, le délai de remise des éléments sera celui précisé dans les documents de la consultation.

Dans tous les cas, le titulaire devra remettre :

- une offre financière établie sur la base :

- Des taux journaliers prévus dans l'accord-cadre pour les profils que le soumissionnaire s'engage à affecter à la réalisation de la prestation concernée
- Du nombre d'hommes/jours d'intervention nécessaires à la réalisation des prestations

- une offre technique comprenant :

- Les profils anonymisés des intervenants affectés à l'exécution des prestations considérées

- Un descriptif de la prestation proposée permettant au CEA de s'assurer de la compréhension et de la prise en compte des contraintes spécifiques du besoin considéré
- Le délai d'intervention
- Le délai de réalisation

Le délai d'intervention du titulaire correspond à la période comprise entre la signature de la commande le cas échéant et la date de démarrage des prestations sur le site du CEA.

Le délai de réalisation du titulaire correspond à la période comprise entre la date de démarrage des prestations sur le site du CEA et la remise au CEA de tous les livrables mentionnés dans le cahier des charges en version définitive.

Il est entendu qu'en cas de changement d'une ou plusieurs personnes affectées à la réalisation de la prestation, les prestataires doivent leur substituer des personnes ayant des compétences équivalentes.

Le nombre estimatif annuel des prestations à réaliser dans le cadre d'un accord cadre à marchés subséquents sera de 5 par an d'une durée pouvant aller généralement de 1 mois à 4 mois (les prestations ayant des contours très différents en contenu et en taille).

Le CEA ne s'engage sur aucun minimum de commandes.

La durée souhaitée de l'accord cadre **est de 24 mois auxquels s'ajoute 2 tranches optionnelles de 12 mois chacune.**

3 SPECIFICATIONS TECHNIQUES

Les prestations confiées au titulaire ont pour objet (liste non exhaustive)

- La définition d'un environnement de test suivant un cahier des charges de test
- Le développement de l'environnement de test, en particulier la conception et la réalisation de cartes de test dédiées au composant à tester
- Le test de circuits intégrés analogiques et RF sur carte de test développée ou non par le titulaire
- Le test de circuits intégrés numériques sur carte de test développée ou non par le titulaire
- Le test de circuits intégrés mixtes sur carte de test développée ou non par le titulaire
- Le test de mémoires de type OxRAM ou FeRAM sur carte de test développée ou non par le titulaire
- La réalisation de démonstrateurs applicatifs qui embarquent une carte de test développée ou non par le titulaire

Les tâches à réaliser sont les suivantes (liste non exhaustive) :

- Le choix des équipements de mesure (oscilloscope, alimentation, VNA, etc.)
- La conception de la carte (schématique) en utilisant le logiciel Altium
- Le routage de la carte. Nous demandons à ce que le prestataire prenne en charge cette étape de routage afin de la discuter avec le CEA qui validera ou non la proposition de routage
- Le suivi de la réalisation de la carte
- L'écriture d'un plan de validation avec le concepteur (ensemble des tests à réaliser et la méthode de mesure mise en place)
- La réalisation des mesures avec potentiellement l'automatisation des tests (Python idéalement, LabView, autre à valider avec le CEA)
- Une analyse statistique des résultats de mesure et une comparaison avec les spécifications du composant
- Un rapport de test incluant la conception de la carte, les contraintes de routage, les résultats de test et analyse des écarts

4 LIVRABLES

Chaque réalisation de prestation fait l'objet de livrables parmi la liste suivante, selon le type de prestation confiée (liste non exhaustive) :

- Un rapport technique sur l'architecture globale de la carte (schématique, fichiers Altium et contraintes de routage)
- Un plan de validation des tests à réaliser
- Un rapport de test et d'analyse des résultats et des écarts

Les documents sont transmis au CEA sous la forme de fichiers informatiques rangés dans le (ou les) répertoires spécifiques projet.

Tous les documents remis par le prestataire au CEA sont réalisés aux formats suivants (ou strictement compatibles)

- Microsoft WORD dans la version .docx pour les documents de type texte
- Microsoft EXCEL dans la version .xlsx pour les documents de type tableau de chiffres
- Microsoft POWERPOINT dans la version .pptx
- fichier format ALTIUM pour le design des circuits

Chaque livrable est remis en version provisoire au CEA pour transmission de ses observations éventuelles ou de son approbation sous 15 jours ouvrés suivant sa réception. Le livrable est remis au CEA en version définitive par le prestataire après intégration le cas échéant de ces observations, à la date fixée dans la commande. Les délais mentionnés dans la commande tiennent compte des délais nécessaires au CEA pour l'approbation ou la remise d'observations sur la version provisoire.

Ces approbations ou observations intermédiaires ne peuvent en aucun cas différer ou décaler la date de remise des livrables.

Le prestataire doit prendre toutes dispositions pour solliciter en temps utiles toute décision du CEA lui permettant de remettre ses livrables en version définitive aux dates convenues.

Pour chaque prestation réalisée, une acceptation est effectuée par le correspondant du CEA après remise de tous les livrables en version définitive. Celle-ci donne lieu à l'établissement d'un procès-verbal d'acceptation signé contradictoirement par les parties.

5 COMPETENCES REQUISES

Les compétences requises sont les suivantes :

- Connaissances générales en électronique analogique ou numérique ou mixte
- Connaissances sur les composants mémoire de type OxRAM ou FeRAM
- Connaissances en conception de cartes électroniques (analogique et numérique)
- Connaissances en conception de cartes électronique RF
- Connaissances du logiciel Altium
- Maîtrise avancée du routage de cartes électroniques pour la RF
- Notions de mesures RF (utilisation de têtes « millimétriques »)
- La maîtrise d'automatisation d'équipements, de langages de programmation (Python, LabVIEW)
- Culture de conception microélectronique, et connaissance des architectures classiques RF de base (LNA, Mixer, VCO/PLLs, etc.)
- Maîtrise de la génération et de la mesure de signaux rapides avec intégrité du signal
- Maîtrise de l'utilisation d'instruments RF et des méthodes de caractérisation haute fréquence (à minima jusqu'à 15 GHz, idéalement jusqu'à 140 GHz).

6 Typologie des profils demandés au sein de l'accord cadre

6.1 Définition des profils

Les profils attendus dans l'accord cadre sont ceux de personnes ingénieurs électroniciens, avec les compétences listées paragraphe 5.

6.2 Typologie des profils

Les profils qui pourront être sollicités dans le cadre des marchés subséquents au sein de l'accord cadre pourront être de différentes expériences, avec une proportion donnée dans le tableau suivant

Profil	Junior (entre 0 et 2 ans d'expérience*)	Confirmé (entre 2 ans et 8 ans d'expérience*)	Senior (plus de 8 ans d'expérience*)
Ingénieur électronicien	Refusé	40%	60%

* sur le sujet de la consultation, un profil senior avec 20 ans d'expérience peut être considéré comme junior s'il a très peu d'expérience sur le sujet demandé.

7 CONDITIONS D'EXECUTION

La prestation se déroule dans les locaux du CEA/Grenoble ou chez le prestataire de services.

7.1 Mise à disposition de locaux et équipements

La mise à disposition de locaux est décrite dans le document « Projet de marché » joint au Dossier de Consultation des Entreprises.

7.2 Mise à disposition de fichiers ou programmes informatiques

Dans le cadre des prestations confiées au prestataire et pour leur bonne exécution, le CEA peut mettre à sa disposition des fichiers informatiques de données, des programmes informatiques, sous quelque forme que ce soit (codes sources, codes objets).

Les outils logiciels nécessaires à la réalisation des prestations sont mis à la disposition du prestataire dans un ou des bureaux dédiés, si les prestations sont effectuées sur le site du CEA Grenoble.

7.3 Suivi de l'avancement des prestations

Le suivi de l'avancement des prestations sera réalisé uniquement entre le chef de laboratoire du CEA et le responsable identifié par le prestataire.

Ce suivi comporte des réunions mensuelles ainsi que la rédaction d'un compte-rendu hebdomadaire.

En cas de problème technique, des réunions « projet » pourront être organisées entre les responsables techniques CEA et le prestataire.

Toutes ces activités de suivi (réunions et compte-rendu) sont comprises dans le prix indiqué dans l'offre financière.

8 Annexe 1 : exemple de prestation demandée pour la réalisation d'une carte de test circuit SYNTH_V1

8.1 Contexte

Ce cahier des charges concerne :

- La réalisation d'une carte de test pour le circuit SYNTHV1 envoyé en fabrication en mars 2026.
- La mise à disposition du matériel de test

Le sous-traitant prendra en charge la réalisation de :

- La schématique et bibliothèque associée
- Le layout de la carte
- Le dossier complet permettant sa fabrication
- La fabrication des cartes demandées
- Leur équipement avec les composants spécifiés hors le circuit conçu par le CEA-Léti.

8.2 Objet

Le circuit SYNTHV1 est une synthèse de fréquence qui contient une PLL (ADPLL2) et un modulateur de phase/fréquence (DXMODV1) en technologie GF FDSOI 22n fonctionnant à une fréquence autour de 4.8GHz. Cependant le test se fera sur des signaux de type LVDS de 1.6GHz, 2.4GHz et 4.8GHz. Le circuit est conditionné dans un boîtier **QFN de 24 broches** avec raquette de masse sous le boîtier (leadrame).

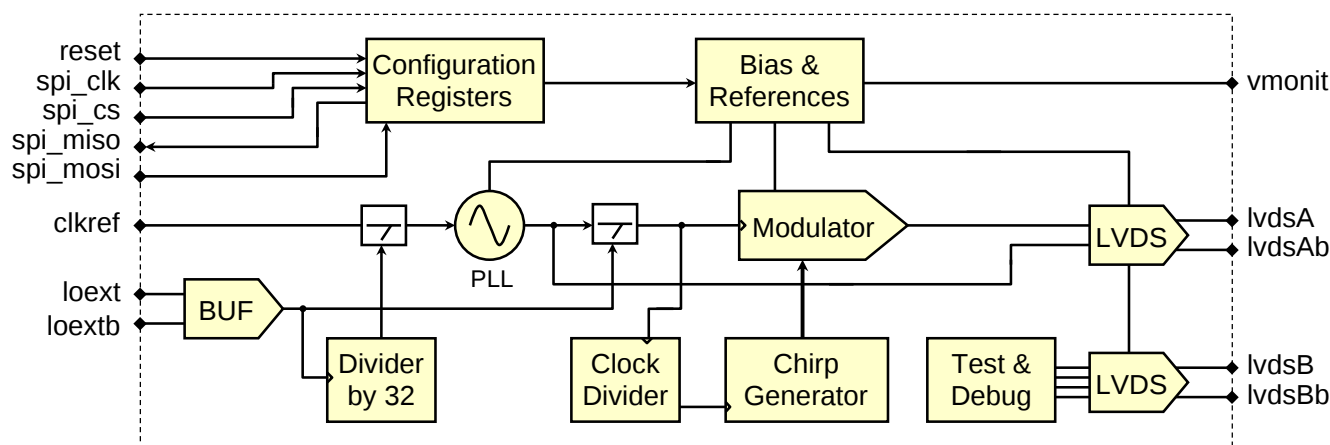


Figure 1 – Schéma général du circuit SYNTHV1

Le circuit SYNTHV1 est piloté à travers un bus SPI de 4 signaux et par l'intermédiaire de 54 registres de configuration. Le cœur du circuit contient une PLL 4.8GHz ainsi qu'un modulateur RF qui fonctionne autour de 2.4GHz. Le modulateur peut être cadencé soit par la sortie de la PLL, soit par une entrée loext/loextb à 4.8GHz. Le circuit nécessite 6 courants de polarisation réglables par configuration, dont la référence est fournie par un dispositif bandgap. Tous les

Toutes les tensions d'alimentation internes sont de 0.8V tandis que la tension d'alimentation de la couronne de plots est de 1.8V. Seuls les signaux spi_clk, spi_cs, spi_mosi, spi_miso, reset et clkref possèdent des niveaux logiques 0/1.8V. L'entrée différentielle loext/loextb est auto-polarisée en interne, il est ainsi possible de l'attaquer avec un coupeur AC ou des condensateurs série. Sa tension différentielle pic-pic ne doit pas dépasser 800mV avec une tension de mode commun de 0.4V. Sa tension différentielle minimale est inférieure à 100mV. Les sorties LVDS sont référencées par rapport à la masse par l'intermédiaire de résistances internes 50Ω. Pour un courant de polarisation typique de 25uA (0x19), la sortie différentielle d'un driver LVDS fournit un signal pic-pic de 113mV sur une charge 2*50Ω. Sur la sortie vmonit, les courants de polarisation peuvent être mesurés avec un ampèremètre vers la masse (courant sortant). La tension de référence de 0.7V peut être mesurée avec un voltmètre. Cette référence peut être ajustée grâce à un registre de configuration. Tous les courants seront ajustés en proportion.

Le circuit à tester est dans un boîtier 24-pin de type QFN de 5x5 mm. L’empreinte est telle que dessinée en Figure 2 . Les côtes complètes du boîtier sont fournies paragraphe 8.10



13

Il est prévu que ce circuit soit utilisé avec un socket de test qui permettra de changer de pièce très facilement. Un socket Ironwood QFN/QFP35 numéro 106458-0047 est envisagé dont les caractéristiques sont décrites au chapitre 8.11. Si possible, la carte qui sera développée devra offrir la possibilité d’avoir les 2 modes de tests compatibles, avec socket ou avec pièces directement soudées.

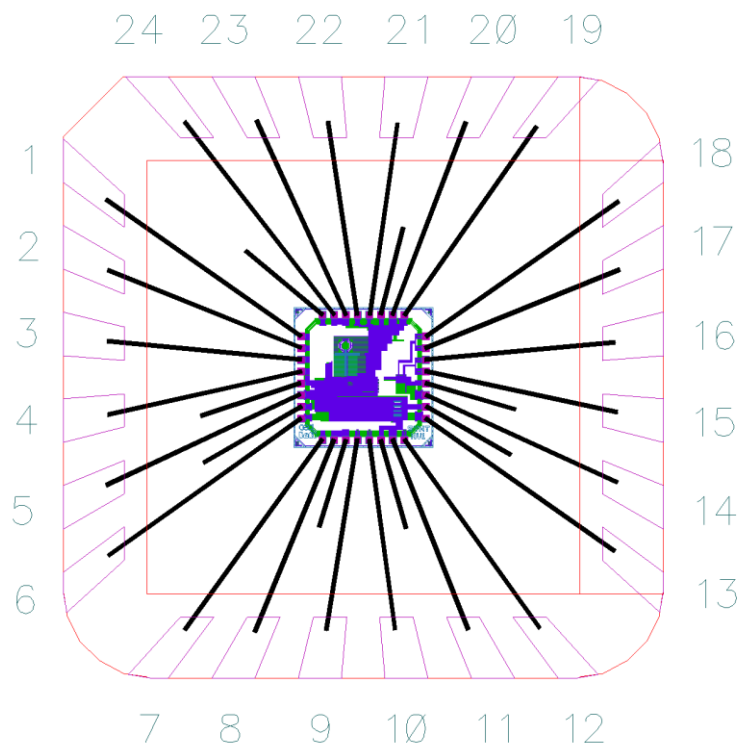


Figure 3 – Bonding du circuit SYNTHV1 vu de dessus

8.4 Présentation du circuit

Le présent cahier des charges intègre que le prestataire opèrera la schématique complète de la carte. Une fois cette schématique validée avec les responsables du projet au CEA-LETI, l’implémentation sur PCB sera réalisée en plaçant le circuit vers le centre de la carte, et les connecteurs sur trois des quatre bords. Sur le côté qui reçoit le connecteur PXI 6545 VHDCI, il ne faudra pas disposer d’autre connecteur.

Le pin-out détaillé du circuit SYNTHV1 est décrit dans le Tableau 1 .

Tableau 1 - Pinout du circuit SYNTHV1 en boîtier QFN24

Pin number	Pin name	Type	Description
------------	----------	------	-------------

1	RESET	1.8V DIO input with pull-down	Asynchronous reset of the configuration registers
2	SPI_CS	1.8V DIO input with pull-up	SPI bus active low Chip Select signal
3	SPI_MOSI	1.8V DIO input with pull-down	SPI bus series data input
4	SPI_CLK	1.8V DIO input with pull-down	SPI bus clock
5	VDD	0.8V power supply	Power supply of the digital except TDC and LVDS
6	VDDC	0.8V power supply	Power supply of the TDC digital
7	SPI_MISO	1.8V DIO output	SPI bus series data output
8	CLK_REF	1.8V DIO input with pull-down	PLL low frequency reference clock
9	LOEXTB	0.8V differential input	PLL high frequency differential clock complementary input
10	LOEXT	0.8V differential input	PLL high frequency differential clock non-inverted input
11	VDDA	0.8V power supply	Power supply of loext buffer and high frequency digital
12	VMONIT	1.8V analogue IO	Biases monitoring analogue output
13	VCCMOD	0.8V power supply	Power supply of the modulator DTC
14	VDDL	0.8V power supply	Power supply of the LVDS
15	LVDSBB	0.8V differential output	Channel B LVDS complementary output
16	LVDSB	0.8V differential output	Channel B LVDS non-inverted output
17	LVDSAB	0.8V differential output	Channel A LVDS complementary output
18	LVDSA	0.8V differential output	Channel A LVDS non-inverted output
19	VCCTDC	0.8V power supply	Power supply of the TDC
20	VCCDCO	0.8V power supply	Power supply of the DCO
21	VCCBIAS	0.8V power supply	Power supply of the biases and references
22	BULK	0V ground input	Ground of the frontside bulk and guard rings
23	VDDIOA	1.8V power supply	Power supply of the analogue IO ring and references
24	VDDIOD	1.8V power supply	Power supply of the digital IO ring

LF	GND	0V ground input	All grounds connected to leadframe
----	-----	-----------------	------------------------------------

8.5 Implémentation du PCB

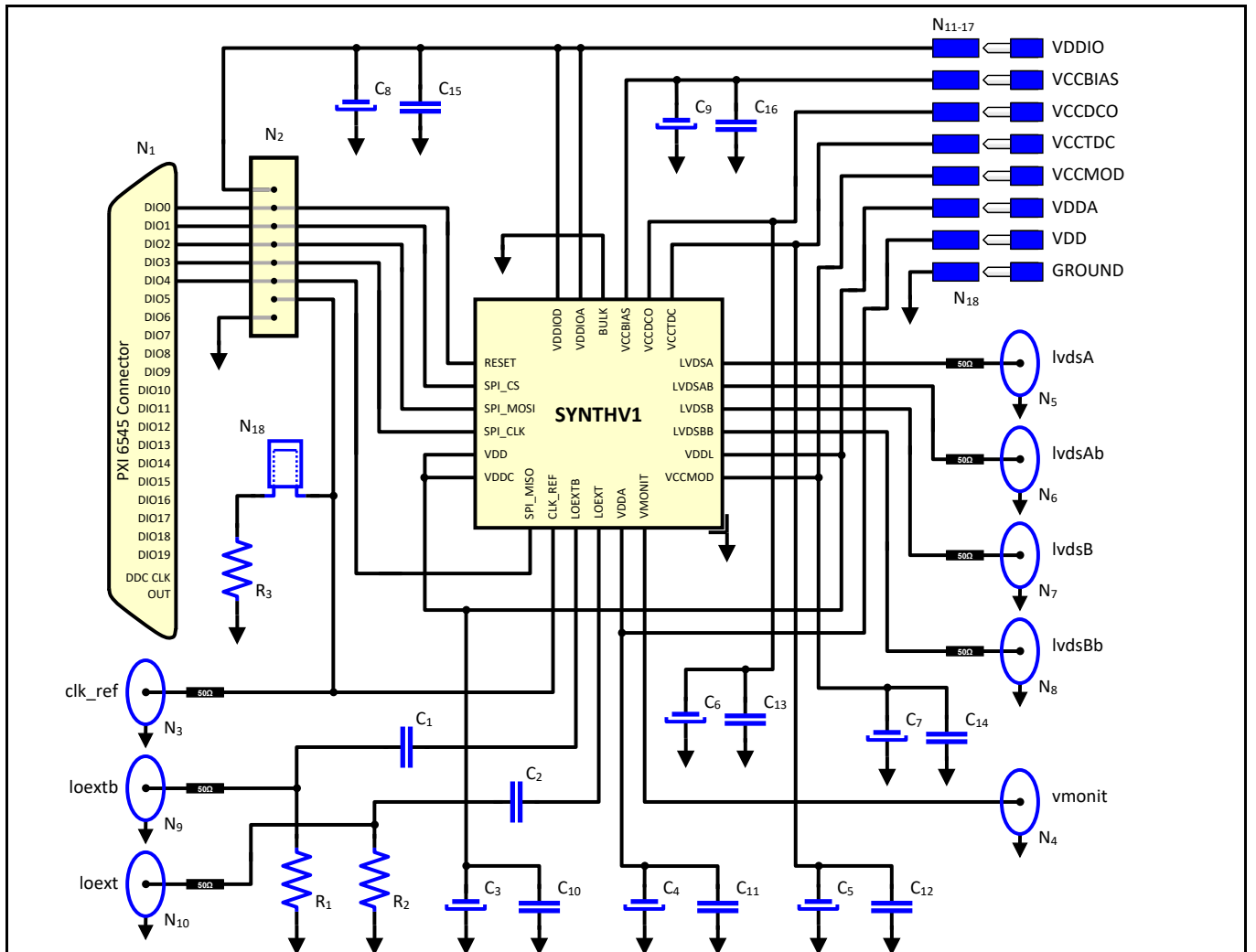


Figure 4 - schéma de la carte de test

Tableau 2 – Liste des composants de la carte de test

Instances	Components type	Values	Comments
N ₁	Edge connector		VHDCI 68 pin female connector NI 785633-01
N ₂	Connector	8 cnts	Amphenol 75869-132LF
N ₃ – N ₄	Subclic connector (SMB)	50Ω	Vertical 413990-3 TE Connectivity 1-1337482-0
N ₅ – N ₁₀	SMA connectors	50Ω	Edge SMA RSpro ¹ 526-5791
N ₁₁ – N ₁₇	Edge supply	red	Mini banana connector Hirschmann 930224101

¹ RadioSpare : exemple de fournisseur

N ₁₈	Edge supply	black	Mini banana connector RSpro ¹ 102-9210
N ₁₈	Jumper		Harwin H3161-01
R ₁ – R ₃	Resistor 0603	51Ω	Panasonic ERJ3RED51R0V
C ₁ – C ₂	Capacitor 0402	1nF	TDK C1005C0G1H102J
C ₃ – C ₉	Capacitor 0603	1μF	TDK CGA3E1X7R1C105K080AC
C ₁₀ – C ₁₆	Capacitor 0603	10nF	TDK C1608C0G1H103J

Si besoin, le socket Ironwood sera fourni par le CEA-LETI.

Les connecteurs d'alimentation au nombre de 7 sont de type mini-banane. Celui concernant la masse sera de couleur noire. Le connecteur pour carte PXI 6545 est décrit en annexe, ajouter les accessoires pour pouvoir visser le câble. La Figure 5 montre le brochage vu de dessus du connecteur N₂ qui est en regard du connecteur PXI 6545. Les signaux inutilisés sont laissés en l'air. La carte sera pourvue de pieds/entretoises aux quatre angles.

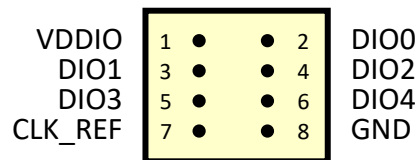


Figure 5 – Brochage vue de dessus du connecteur N₂

8.6 Implémentation et recommandations

La carte à réaliser devra correspondre aux contraintes présentées dans ce chapitre, certaines concernant la disposition des différents éléments sur la carte ainsi que la taille de celle-ci pouvant être ajustées. La taille maximale de la carte sera de 11cm x 12,5 cm. Une taille plus petite reste préférable pour de meilleures performances en RF.

Disposition pour la réalisation du PCB

- Substrat RO4003 (200 μm) + FR4 (1400 μm)

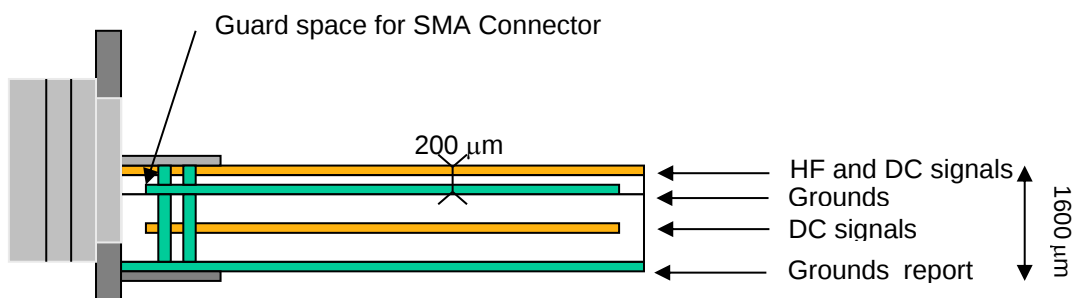


Figure 6: Coupe du PCB

- Pas de vernis sur les lignes reliées à des connecteurs SMA (et sur la bande de masse associée pour l'adaptation). Vernis sur le reste de la carte.
- Textes de sérigraphie blancs explicites à implémenter sur tous les connecteurs et cavaliers (à faire valider par le CEA lors de la soumission du layout).
- Les lignes reliées à des connecteurs SMA sont à contrôler à 50Ω. Les connecteurs seront placés à 1,7cm l'un de l'autre ou à un multiple de cette distance.
- En dehors des signaux mentionnés, les lignes ne doivent pas être routées en 50Ω mais à plus haute impédance.
- Pas de plan d'alimentation dans la mesure du possible. Privilégier de larges pistes pour les alimentations dont les signaux sont reliés aux bornes mini-banane.

Recommandations :

- [1] C₁ et C₂ sont placés au plus proche possible de *SDPLL1* de façon prioritaire.
- [2] Les connecteurs SMA N₅ à N₁₀ sont reliés par des lignes micro-strip 50Ω au circuit *SYNTHV1*.
- [3] Le connecteur subclic N3 est relié par une ligne micro-strip 50Ω au circuit *SYNTHV1*.
- [4] Les longueurs des lignes différentielles 50Ω *lvdsA/lvdsAb*, *lvdsB/lvdsBb* et *loext/loextb* seront égalisées le plus possible. Les connecteurs N₅ à N₈ associés sont placés sur le même bord de carte et espacés de 1,7cm entre eux. Les connecteurs N₉ et N₁₀ sont sur le même bord et espacés de 1,7cm entre eux.
- [5] Aucun des connecteurs SMA N₅ à N₁₀ ne sont espacés de moins de 1,7cm.
- [6] La distance entre les condensateurs de découplage C₁₀ à C₁₆ et le circuit *SYNTHV1* doit être minimisée.
- [7] Les condensateurs C₃ à C₉ seront placés de préférence proches de *SYNTHV1*.
- [8] Pistes larges pour router toutes les alimentations VDD, VCCTDC, VDDA, VCCDCO, VCCBIAS, VCCMOD et VDDIO.
- [9] Hormis celles déjà listées (*lvdsA/lvdsAb*, *lvdsB/lvdsBb*, *loext/loextb* et *clk_ref*) les pistes de routage ne nécessitent pas d'être 50Ω.
- [10] La piste de routage de *vmonit* ne doit pas être 50Ω.
- [11] Aucun autre connecteur sur le même côté que PXI 6545 VHDCI.

8.7 Définition de la prestation

La prestation consiste donc en la réalisation de :

- La schématique et bibliothèque associée
- Le layout de la carte
- Le dossier complet permettant sa fabrication
- La fabrication de la carte demandée
- Son équipement avec les composants spécifiés hors le circuit conçu par le CEA-Léti.

Une seule carte de test devra être réalisée.

8.8 Matériel de test à prévoir

- Multimètre de laboratoire
- Alimentations de laboratoire pour au minimum deux tensions
- Carte PXI 6545 ou PXI 6552
- Câble de liaison VHDCI
- Châssis PXI relié au PC de laboratoire
- Multimètre PXI MM 4070
- FSV spectrum analyzer
- SMBV ou SMV
- Oscilloscope 20GS/s
- Générateur d'horloge

8.9 Connecteur 68-pin VHDCI de la carte NI PXI 6545

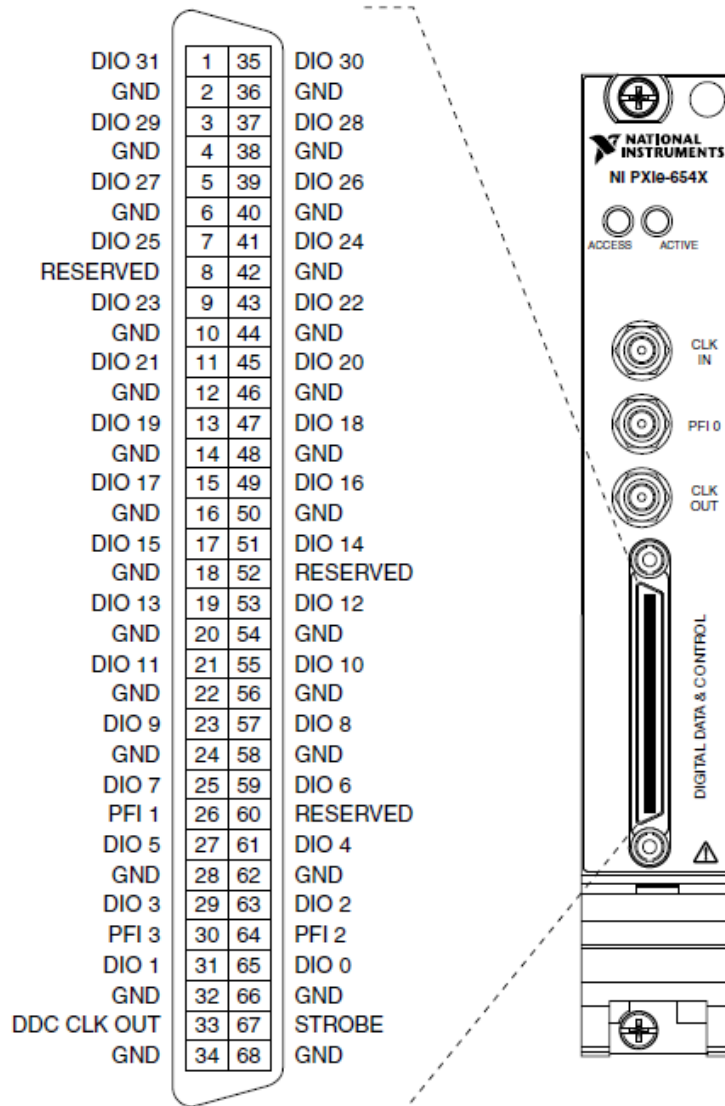
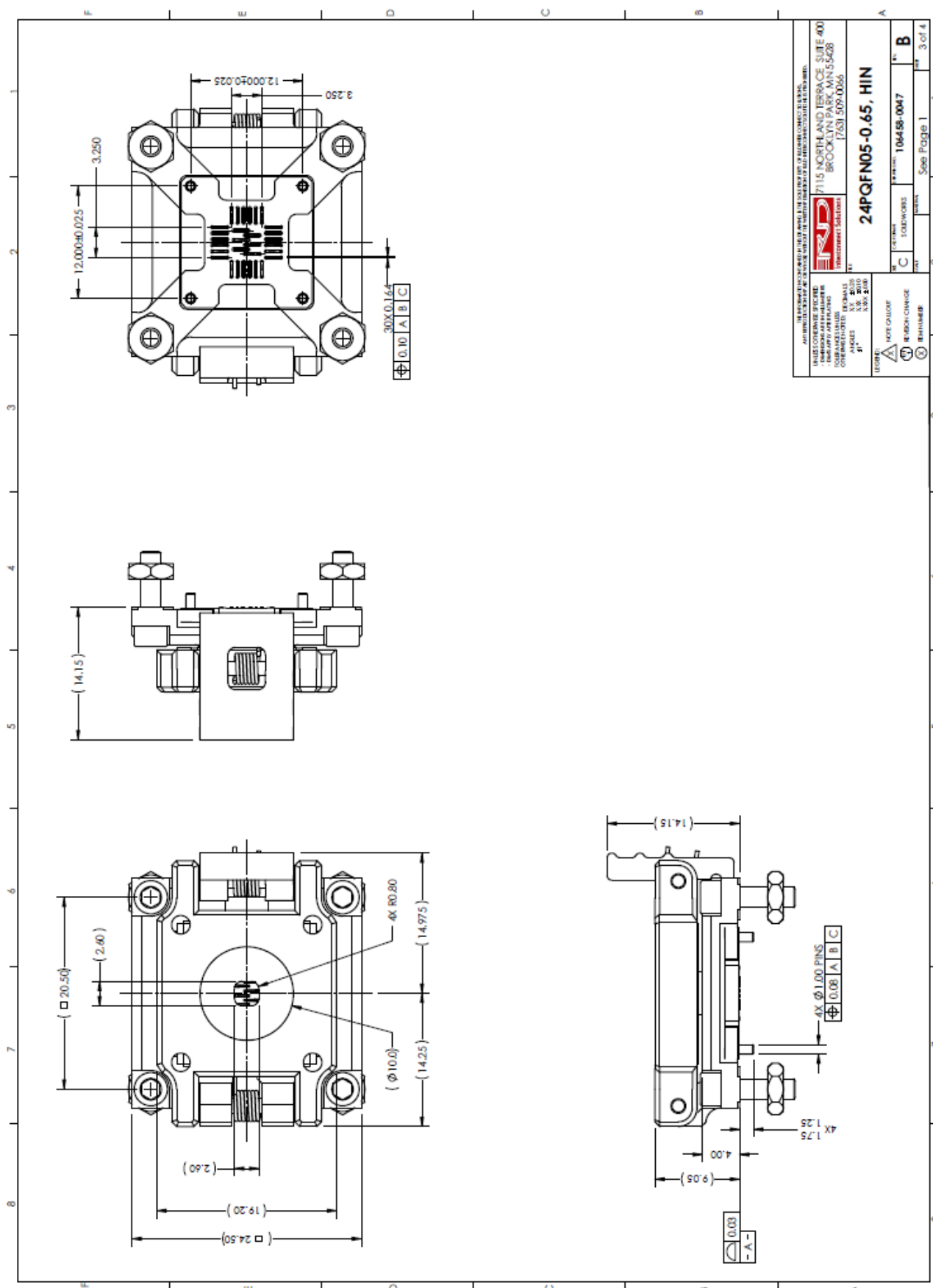


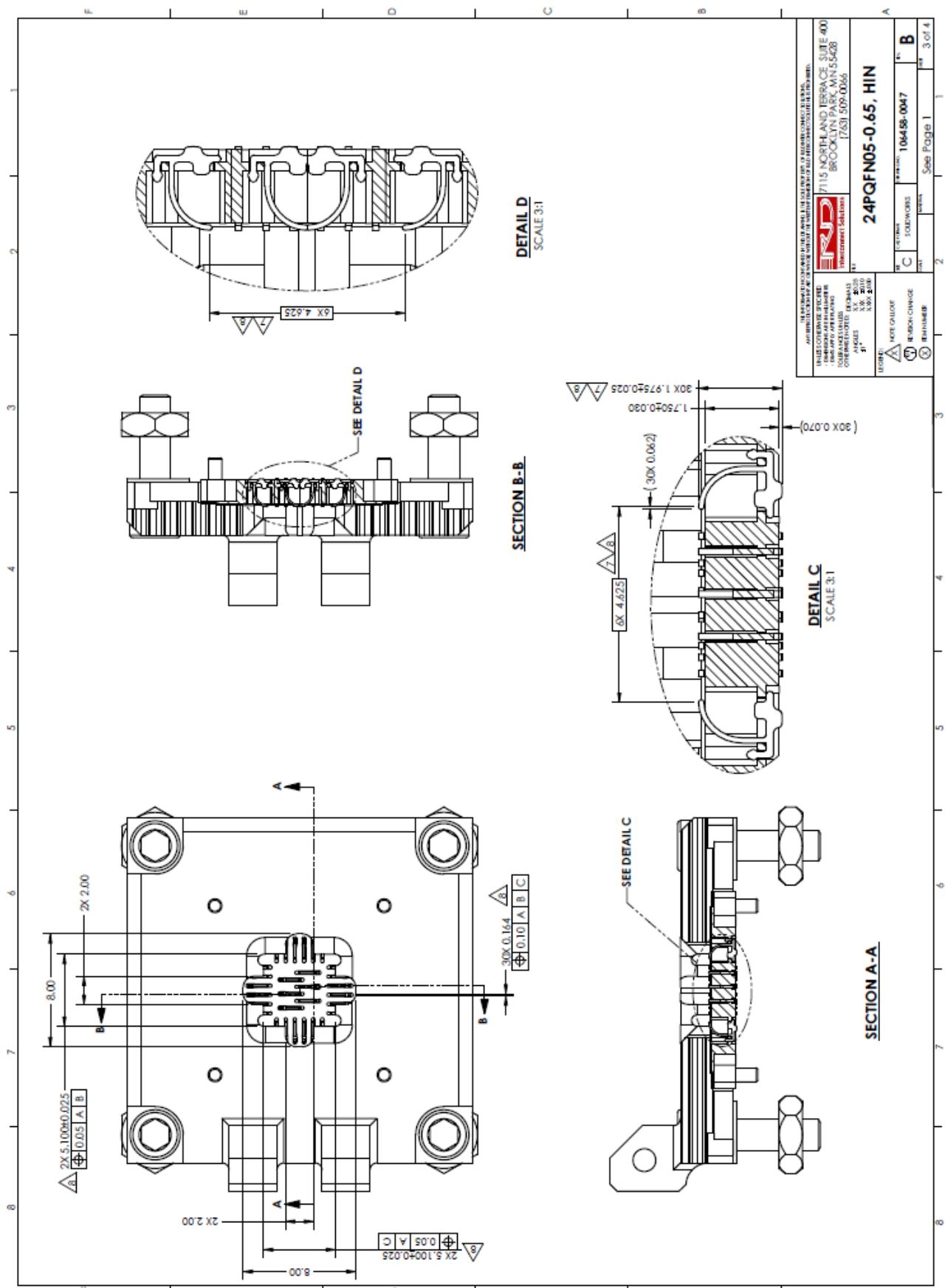
Figure 7 - Connecteur 68-pin VHDCI de la carte NI PXI 6545

[illegible]

22

CEA-Leti, technology research institute
17 avenue des Martyrs – 38054 Grenoble Cedex, France
T. +33 (0)4 38 78 44 00
cea-leti.com





47 Avenue des Martyrs - 92084 Clichy-sur-Seine, France

T. +33 (0)4 38 78 44 00

cea-leti.com

Établissement public à caractère industriel et commercial | RCS Paris B 775 685 019 | CEA-Leti is a member of the Carnot institutes network

9 Annexe 2 : exemple de prestation demandée pour la réalisation de tests pour le circuit WILSON

9.1 Travaux à réaliser par le sous-traitant

- Étude et analyse du document puis échange avec l'équipe de conception si besoin pour compléter les éléments manquants
- Formalisation/Récapitulatif formel du plan de test sous forme de tableur par exemple
- Élaboration des manip (identification des équipements, planification des mesures)
- Élaboration de la programmation du banc si nécessaire (programmation du SPI, automatisation des équipements, etc.)
- Étape de debug
- Conduite des mesures en autonomie avec support de l'équipe de conception si nécessaire
- Rédaction d'un livrable de test avec les résultats de mesure, les codes des éventuels logiciels développés et les schémas synoptiques des bancs réalisés (avec les références des équipements)

9.2 Description du circuit à tester

Le circuit WILSON est un front end complet pour application digital beamforming. La particularité étant l'aspect bidirectionnel de la chaîne. La fréquence de fonctionnement est de 39 GHz.

Les entres-sorties du circuit sont représentées ci-dessous. L'interfaçage du circuit n'est pas à réaliser par le sous-traitant (PCB conçu, fabriqué et assemblé par le CEA). Il aura directement accès aux connecteurs de chaque signal

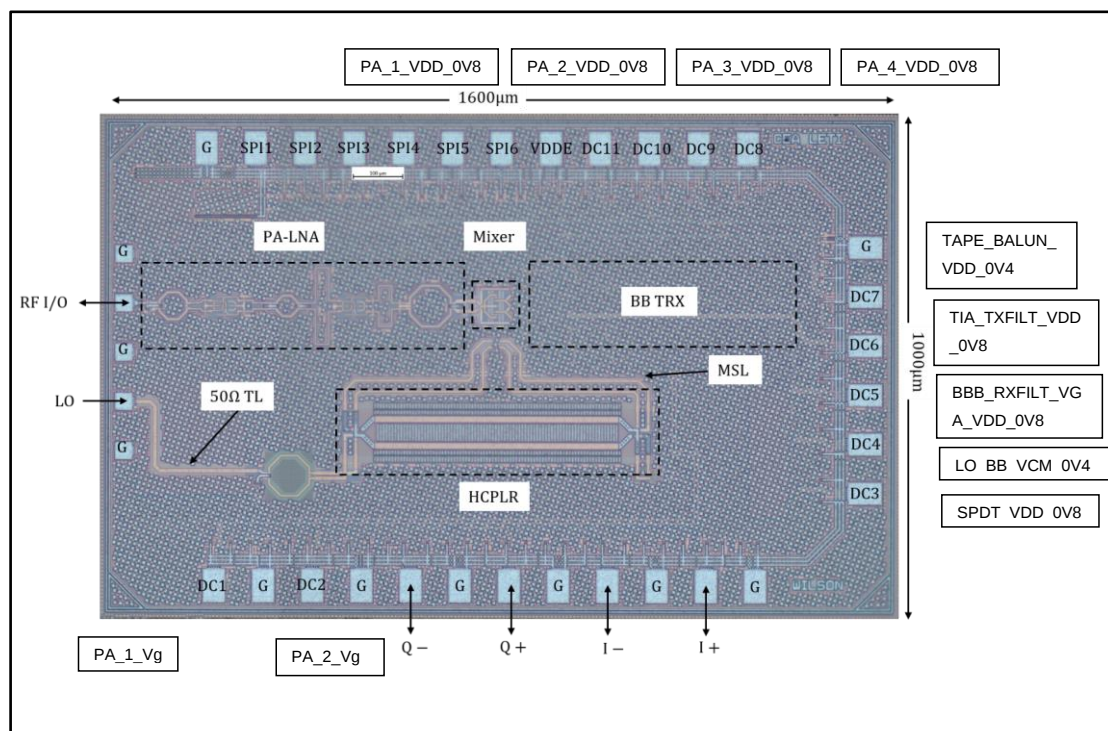


Figure 9: Circuit Wilson - photographie

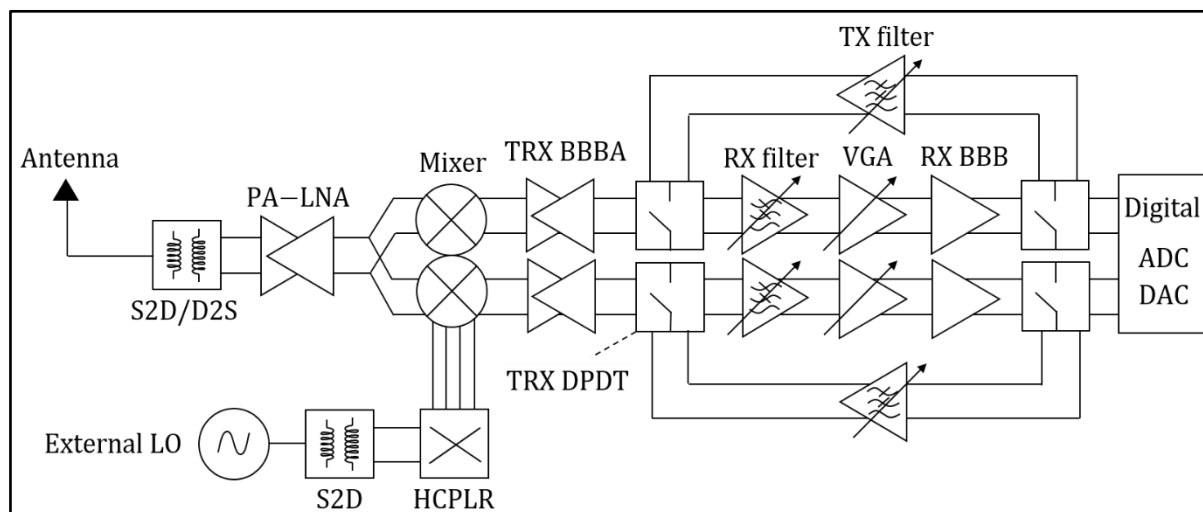


Figure 10 : diagramme interne de l'architecture

9.3 Modes de fonctionnement

Le circuit peut être utilisé soit en mode TX, soit en mode RX (pas de full duplex).

Le passage du mode TX au mode RX se fait en modifiant la configuration SPI (donnée annexe 9.5) et en appliquant les polarisations et alimentations données dans le Tableau 3 : tensions à appliquer pour la configuration SPI

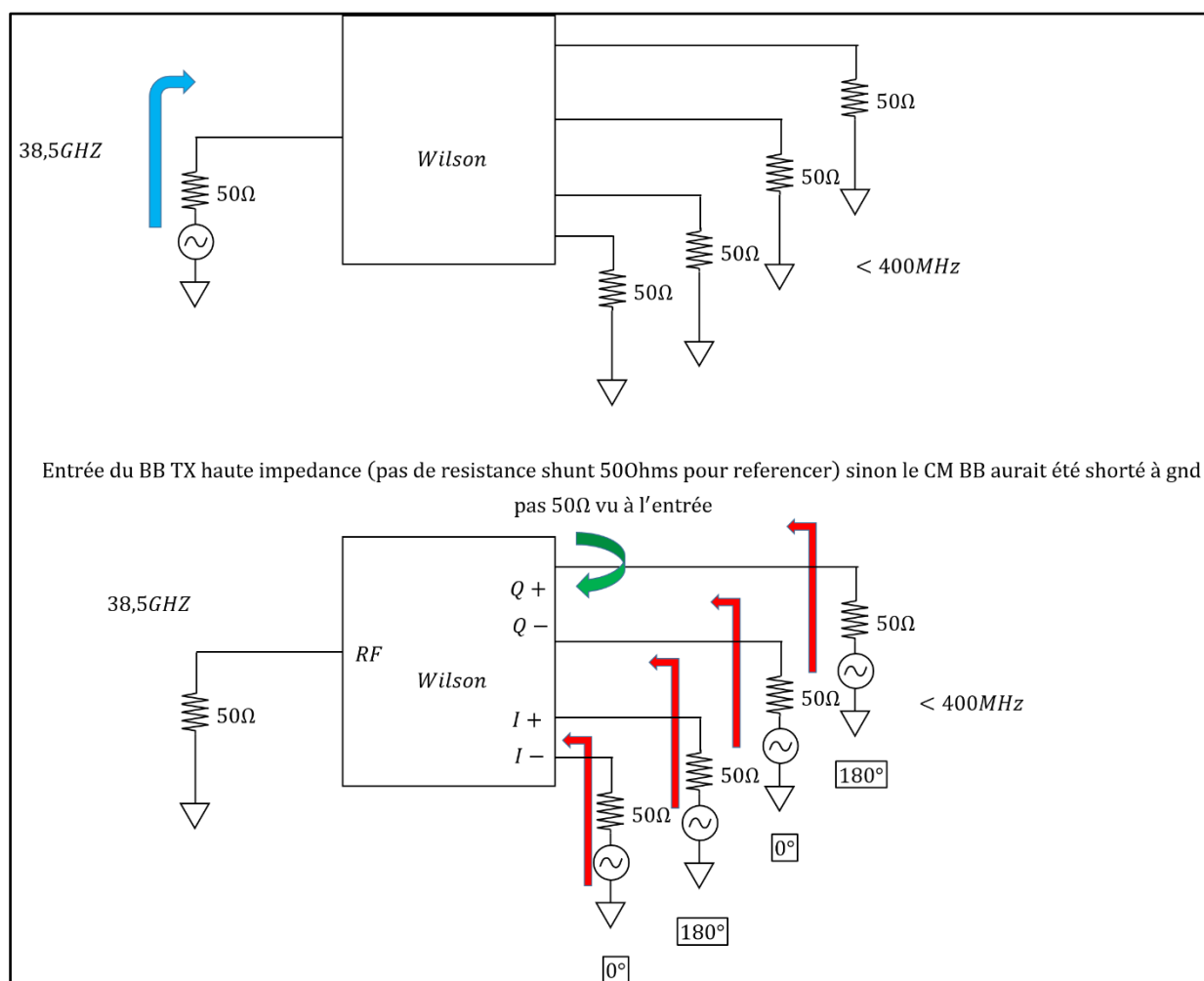


Figure 11: Modes RX (en haut) et TX (en bas)

Les configurations SPI sont décrites dans un fichier tableur au format xls qui sera fourni au sous-traitant.

Les tensions à appliquer au circuit sont les suivantes :

WISLON DC Voltages (V)												
	DC1	DC2	DC3	DC4	DC5	DC6	DC7	DC8	DC9	DC10	DC11	VDDE
TX	0.23	0.3	0.8	0.4	0	0.8	0.4	0	0	0.8	0.8	1.8
RX	0	0	0.8	0.4	0.8	0	0.4	0.8	0.8	0.45	0.45	1.8

Tableau 3 : tensions à appliquer pour la configuration SPI

9.4 Mesures à effectuer

Courants à mesurer

Les courants suivants sont à mesurer dans chaque configuration

DC1 : Vgs driver PA	(I _{tx} =	I _{rx} =)
DC2 : Vgs main PA	(I _{tx} =	I _{rx} =)
DC3 : VDD SPDT TRX BB	(I _{tx} =	I _{rx} =)
DC4 : CM LO GEN	(I _{tx} =	I _{rx} =)
DC5 VDD RX BB	(I _{tx} =	I _{rx} =)
DC6 VDD TX BB	(I _{tx} =	I _{rx} =)
DC7 CM TAP BALUN	(I _{tx} =	I _{rx} =)
DC8 VDD1 LNA	(I _{tx} =	I _{rx} =)
DC9 VDD2 LNA	(I _{tx} =	I _{rx} =)
DC10 VGS LNA / VDD PA	(I _{tx} =	I _{rx} =)
DC11 VGS LNA / VDD PA	(I _{tx} =	I _{rx} =)

Tableau 4 : courants à mesurer

Mesure en mode RX

- S11 (40GHz) **peu importe la config SPI**
- NF SSB sur les voies I et Q (normalement les mêmes) **configs SPI 1 et 8**

Valeurs attendues :

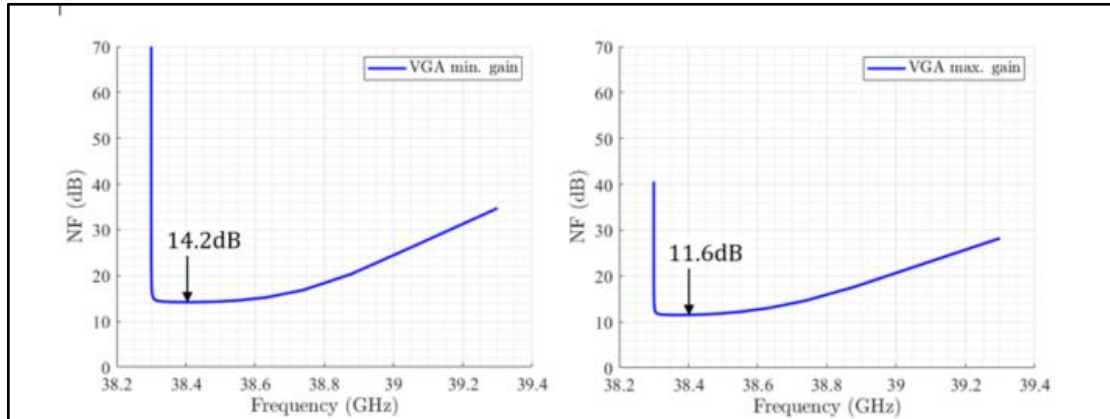


Figure 12 : RX SSB NF in the VGA lowest (left) and highest (right) gain configuration

- Sweep power @38.5GHz (→power gain, ICP1) **configs SPI 1 et 8**

Valeurs attendues

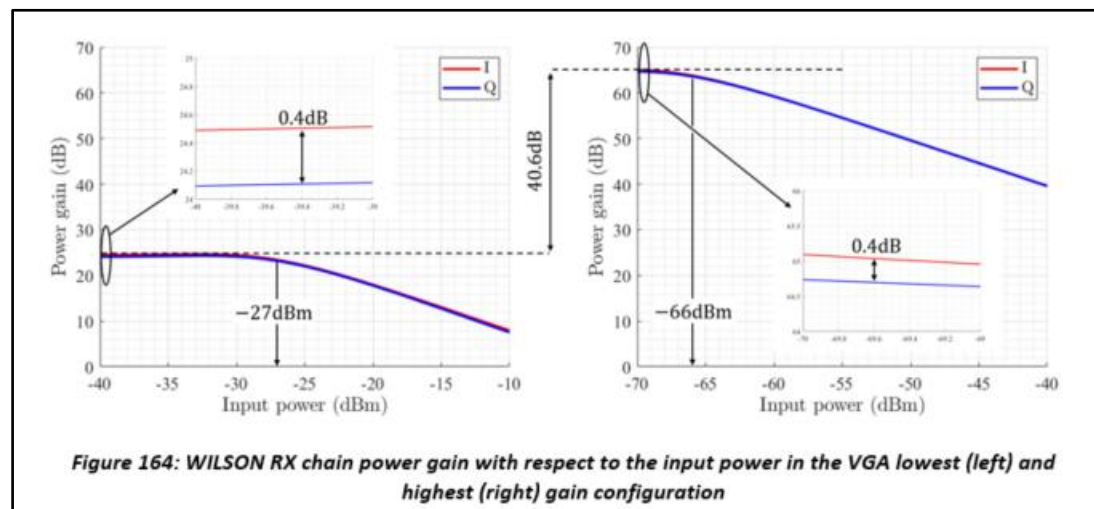


Figure 164: WILSON RX chain power gain with respect to the input power in the VGA lowest (left) and highest (right) gain configuration

- Sweep power @freq gain max ($\rightarrow$ power gain, ICP1) [configs SPI 10,11,12,13,14,15,16,17](#))
- Sweep power (2 tons à l'entrée fif1=38.5GHz et fif2=38.51GHz par exemple) pour IIP3 [configs SPI 10,11,12,13,14,15,16,17](#))
- Spectrum @Prf min = -73dBm (page suivante) [config SPI 1](#)
- Spectrum @ Prf max = -38dBm (page suivante) [config SPI 8](#)
- spectrum @DC @fif @LO leak, mismatch I/Q (amplitude/phase)

Les spectres attendus sur les signaux PATH I et Q (en bleu) selon les signaux RF et LO appliqués (en blanc) sont représentés : spectre attendu sur les signaux PATH I et Q (en bleu) selon les signaux RF et LO appliqués (en blanc) Figure 13 : spectre attendu sur les signaux PATH I et Q (en bleu) selon les signaux RF et LO appliqués (en blanc) et Figure 14 : spectre attendu sur les signaux PATH I et Q (en bleu) selon les signaux RF et LO appliqués (en blanc)

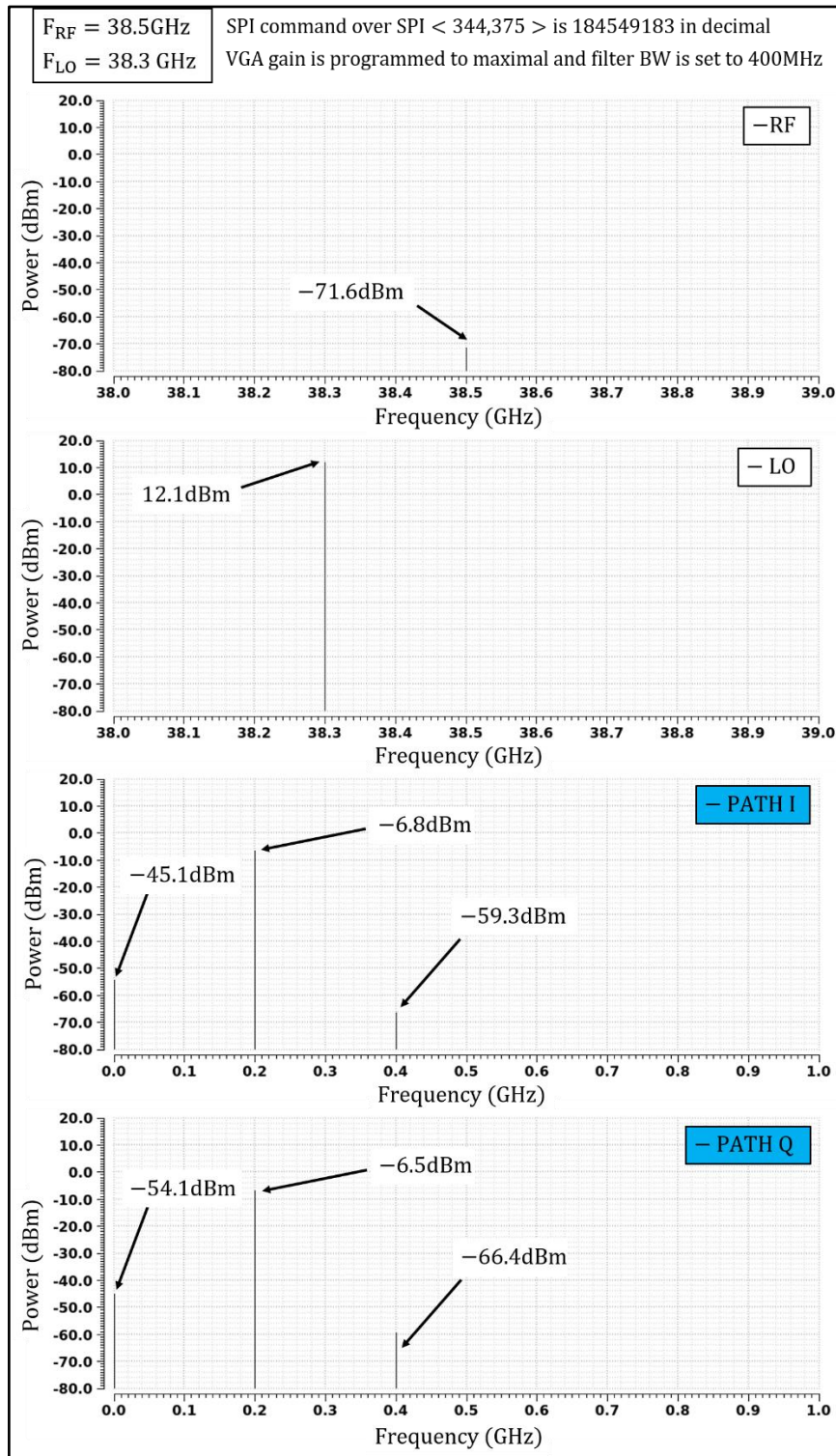


Figure 13 : spectre attendu sur les signaux PATH I et Q (en bleu) selon les signaux RF et LO appliqués (en blanc)

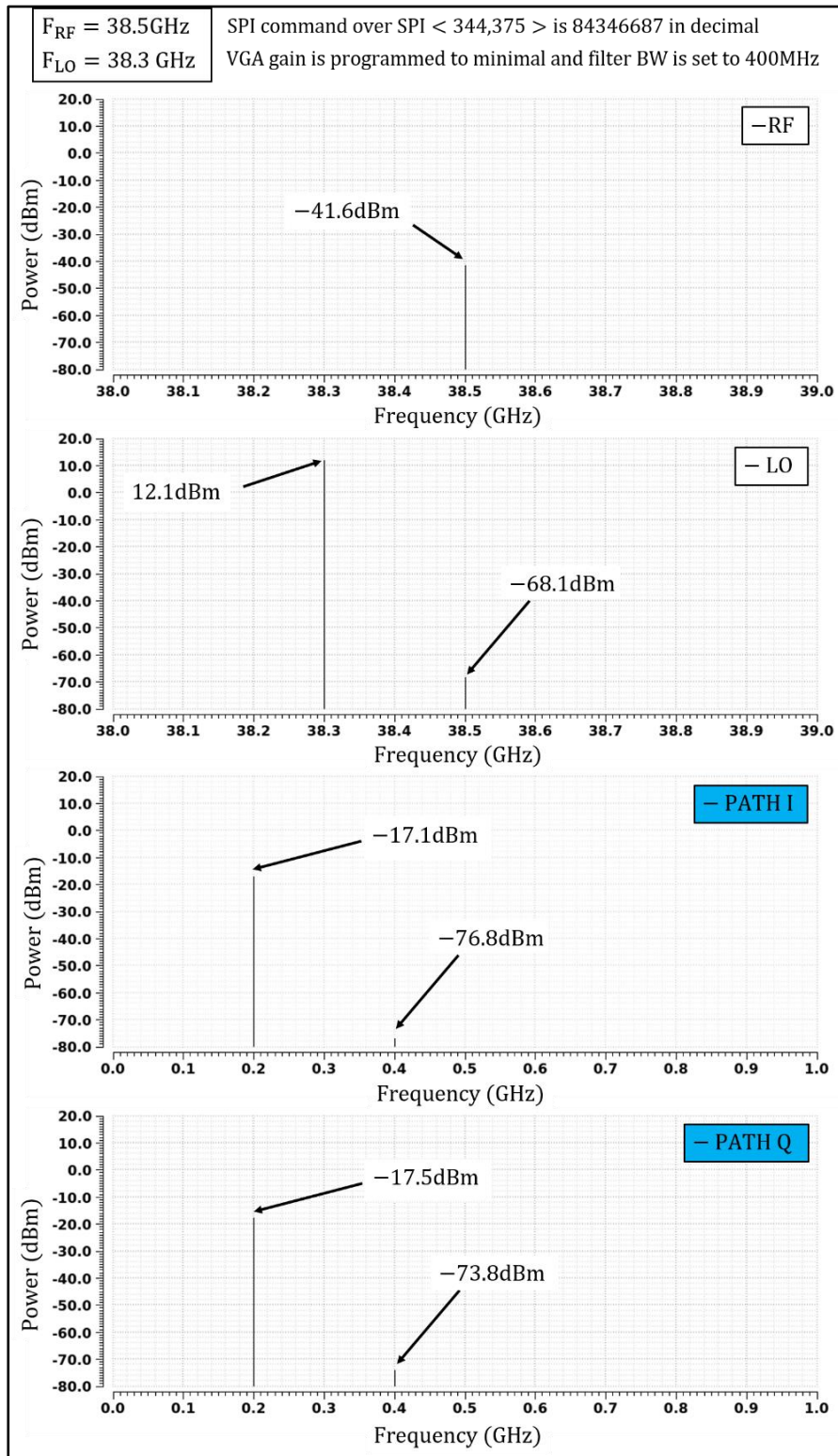


Figure 14 : spectre attendu sur les signaux PATH I et Q (en bleu) selon les signaux RF et LO appliqués (en blanc)

Mesure en mode TX

Sweep power @38.5GHz (→power gain, Psat, OCP1,PAE) [configs 21 22 23 24](#)

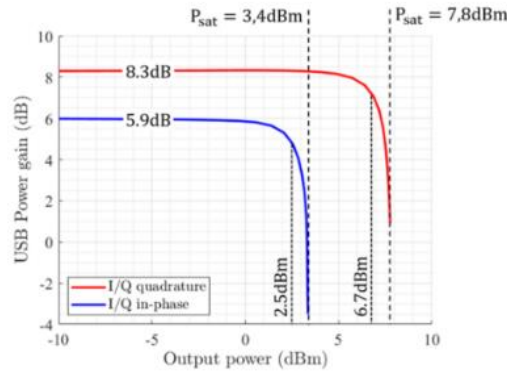


Figure 169: WILSON TX USB power gain with respect to the output power using quadrature I and Q : DACs output power

- Sweep power @freq gain max (→power gain, Psat, OCP1,PAE)) [configs SPI 21 22 23 24](#)
- In-phase BB inputs / Quadrature BB inputs
- Spectrum @Pdac RMS=-14.5dBm) [config SPI 21](#)
- Spectrum @Pdac max -5dBm (page suivante)) [config 21](#)
- Regarder spectrum LO leak, USB LSB (RF)
- IMD3 (2 tons à l'entrée fif1=10MHz et fif2=11MHz) @Pdac RMS=-14.5dBm) [config SPI 21](#)
- Sweep power (2 tons à l'entrée fif1=10MHz et fif2=11MHz) pour OIP3 [configs SPI 21 22 23 24](#)
- EVM (CP-64QAM OFDM) + contellations [configs SPI 21 22 23 24](#)

Les valeurs attendues sur la RF (en rouge) lorsque l'on applique les signaux I et Q + LO (en blanc) sont présentées Figure 15 : valeurs attendues sur la RF (en rouge) lorsque l'on applique les signaux I et Q + LO.

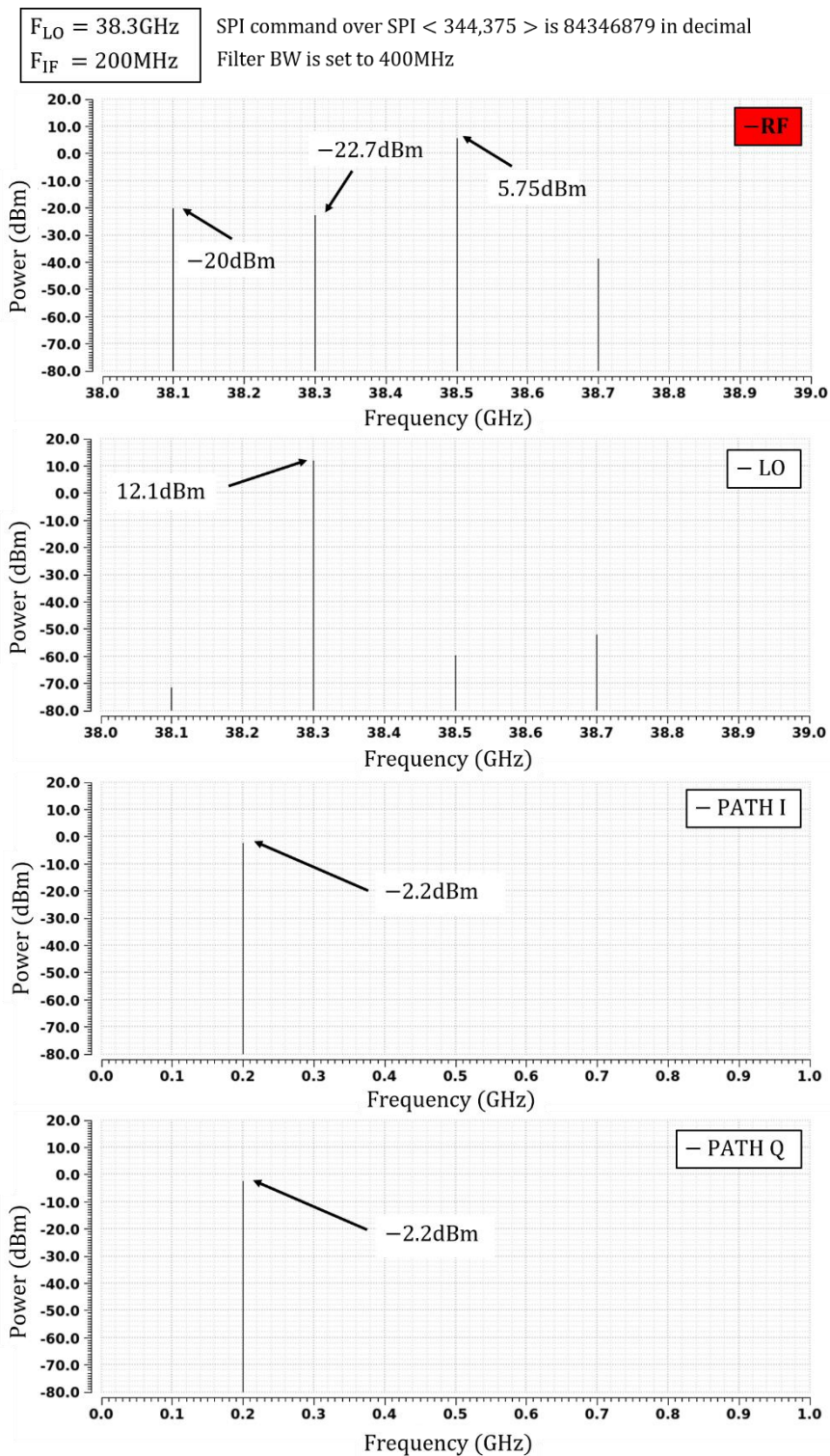


Figure 15 : valeurs attendues sur la RF (en rouge) lorsque l'on applique les signaux I et Q + LO

9.5 Annexe : configurations SPI

Configurations types

			SPI		dec2b		in																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																			
--	--	--	-----	--	-------	--	----	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

Figure 16 tableau des configuration « type » du SPI (le numéro de la configuration est indiqué en dernière colonne)